



(19)

(11) Publication number:

08329208 A

Generated Document.

PATENT ABSTRACTS OF JAPAN

(21) Application number: 07129957

(51) Intl. Cl.: G06K 19/073 G06K 17/00

(22) Application date: 29.05.95

(30) Priority:

(43) Date of application
publication: 13.12.96(84) Designated
contracting states:

(71) Applicant: MEIDENSHA CORP

(72) Inventor: KATSUMATA HIDEKI

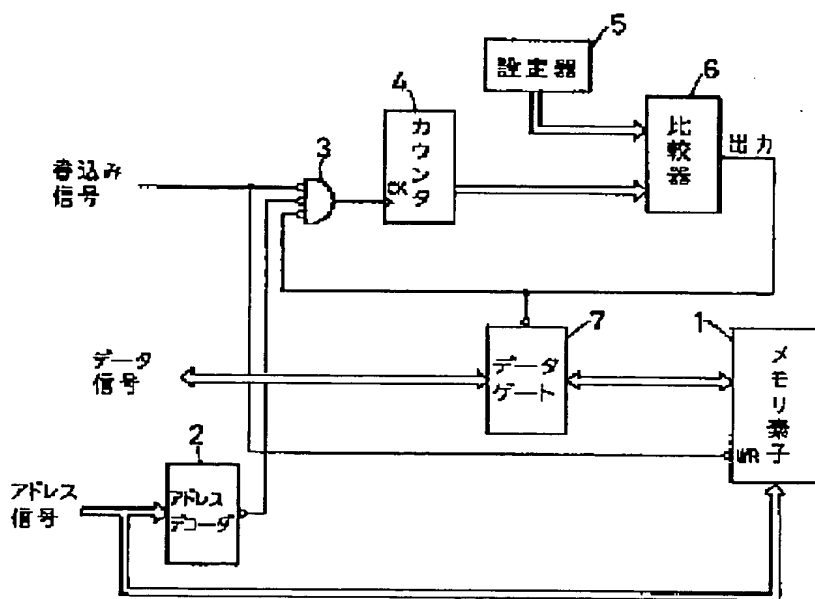
(74) Representative:

**(54) NON-VOLATILE MEMORY
WITH WRITE FREQUENCY
LIMIT**

(57) Abstract:

PURPOSE: To prevent illegal use by providing a pay card nonvolatile memory with a write frequency limiting circuit.

CONSTITUTION: A non-volatile memory 1 of the pay card is provided with an address decoder 2 which outputs a specific address select signal, an AND circuit 3 which outputs AND between a write signal and the output signal of the address decoder on the condition that the output of a comparator 6 is not outputted, a counter 4 which counts the output of this circuit, a write frequency setter 5, the comparator 6 which outputs the output to stop the output of the AND circuit 3 at the time of arrival or the counted value of the counter at a set value and stops counting to keep the output state then, and a data gate 7 which stops the flow of the address signal by this output to stop the data write to the memory 1. Before the frequency in use of the pay card reaches the set value, the account and the balance are written. When this frequency reaches the set value, the data gate 7 is kept closed to inhibit the write, and the use is impossible.



COPYRIGHT: (C)1996,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-329208

(43) 公開日 平成8年(1996)12月13日

(51) Int.Cl.⁹

G 0 6 K 19/073
17/00

識別記号

庁内整理番号

F I

G 0 6 K 19/00
17/00

技術表示箇所

P
E

審査請求 未請求 請求項の数 1 O L (全 3 頁)

(21) 出願番号

特願平7-129957

(22) 出願日

平成7年(1995)5月29日

(71) 出願人 000006105

株式会社明電舎

東京都品川区大崎2丁目1番17号

(72) 発明者 勝又 秀樹

東京都品川区大崎2丁目1番17号 株式会
社明電舎内

(74) 代理人 弁理士 志賀 富士弥 (外1名)

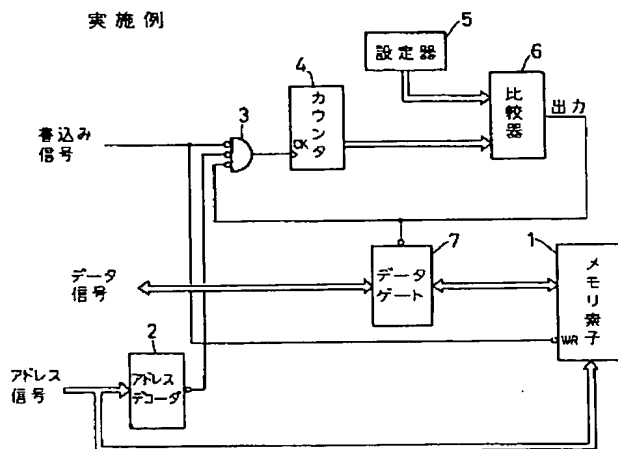
(54) 【発明の名称】 書込回数制限付不揮発メモリ

(57) 【要約】

【目的】 ペイカード不揮発メモリに書込回数制限回路を設けて不正使用を防止する。

【構成】 ペイカードの不揮発メモリ1に、特定着地選択信号を出力するアドレスデコーダ2と、比較器6の出力がないことを条件に書込信号とアドレスデコーダの出力信号の論理積で出力するAND回路3と、この回路の出力をカウントするカウンタ4と、書込回数設定器5と、カウンタのカウント値が設定値に達すると出力してAND回路3の出力を停止させカウントを止め、出力したままとなる比較器6と、この出力によりアドレス信号の流れを止めメモリ1へのデータの書き込みを止めるデータゲート7を設ける。ペイカードの使用回数が設定値に達しない間はメモリに課金、残金を書き込まれる。使用回数が設定値に達するとデータゲート7が閉じたままとなり書き込みが不能となり、使用不能となる。

実施例



【特許請求の範囲】

【請求項1】 データ信号、アドレス信号及び書込み信号が入力する不揮発メモリにおいて、アドレス信号が入力し特定番地選択信号を出力するアドレスデコーダと、後記比較器の出力がないことを条件に書込信号とアドレスデコーダの出力信号との論理積で出力する論理積回路と、この論理積回路の出力をカウントするカウンタと、書込回数を設定する設定器と、カウンタのカウント値と書込回数設定値を比較しカウンタ値が設定値に達すると出力する比較器と、この比較器の出力信号でデータ信号の流れを止めるデータゲート回路とを設けたことを特徴とした書込回数制限付不揮発メモリ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、ペイカードなどに利用されるICカード用書込回数制限付不揮発メモリに関する。

【0002】

【従来の技術】 ICカードはテレホンカードのような使い捨てペイカードとしても使われ始めている。通常ペイカードとして使用されるときは、使用度に応じて課金や残金を不揮発メモリへ書き込み残す方式を取っている。

【0003】 従来のICカードは、図2に示すように、メモリ素子(IC)1がカードの中に組み込まれており、装置側とのインターフェース(I/F)はI/F回路8を介してアクセスされる。このI/F回路は単なるゲート(ドライバ、レシーバ)と考えてよい。また、メモリ素子1にSRAM(スタティックRAM)を使用するときはバッテリーバックアップ回路9によりバッテリーバックアップできる構成となっている。メモリ素子1にフラッシュメモリ又はEEPROMを使用するときはバッテリーバックアップ回路は不要である。

【0004】 なお、バッテリーバックアップ回路9は、電圧検出回路とバッテリーで構成されていて、I/F側のパワー断検出でこの回路のバッテリーからメモリ素子1へパワーを供給し、I/F側のパワーがあるときは、I/F電源からパワーを供給させるように構成されている。

【0005】 メモリ素子1によっては書き込み回数1万回という制限付のものもあるが、実用上1万回は無制限とみなしてよい。課金情報等は装置側のCPUのソフトウェア(S/W)で書き込み残される。これは無制限である。

【0006】

【発明が解決しようとする課題】 上記、従来のICカードをペイカードとして利用した場合、ICカードに記憶されている課金情報や残金情報等をクリアしてしまえば、新品と同様にいつまでも無料で使えてしまう可能性がある。また不正にデータを改ざんして使用される可能性がある。これは使用しているメモリが無制限に書き込まれることから発生するものである。

【0007】 本発明は、従来のこのような問題点に鑑みてなされたものであり、その目的とするところは、ペイカードの不正利用を防止しうる書込回数制限付不揮発メモリを提供することにある。

【0008】

【課題を解決するための手段】 上記目的を達成するために、本発明は、データ信号、アドレス信号及び書込み信号が入力する不揮発メモリにおいて、アドレス信号が入力し特定番地選択信号を出力するアドレスデコーダと、後記比較器の出力がないことを条件に書込信号とアドレスデコーダとの出力信号の論理積で出力する論理積回路と、この論理積回路の出力をカウントするカウンタと、書込回数を設定する設定器と、カウンタのカウント値と書込回数設定値を比較しカウンタ値が設定値に達すると出力する比較器と、この比較器の出力信号でデータ信号の流れを止めるデータゲート回路とを設けてなるものである。

【0009】

【作用】 論理積回路は書込信号とアドレスデコーダからの特定番地選択信号との論理積でカウンタのカウント値を進める。カウンタ値が設定回数に達すると比較器は論理1を出力して前記論理積回路からの出力を止める。このため比較器は出力したままとなり、データゲート回路が閉じたままとなる。したがってメモリはデータ信号のやり取りができなくなり、書込回数が設定回数に制限される。

【0010】

【実施例】 本発明の実施例について図1を参照して説明する。

【0011】 図1において、1はメモリ素子で、図示省略のインタフェース(I/F)回路からの書込信号、データ信号及びアドレス信号が入力する。2はアドレス信号が入力しメモリ素子1の特定番地選択信号を出力するアドレスデコーダ、3は後述の比較器6の論理1の出力信号がないことを条件に書込信号とアドレスデコーダ2の信号の論理積で出力する論理積回路、4は論理積回路3の出力信号をカウントするカウンタ、5は書込回数設定器、6はカウンタ4のカウント値と設定器5の設定値数を比較し、カウンタ値が設定値に達したとき論理1を出力して論理積回路3の出力を止めカウンタ4のカウントを止めさせ論理1を出力し続ける比較器。

【0012】 7はメモリ素子1に入力するデータ信号回路に設けられ、比較器6の論理1の出力でデータ信号の流れを止めるデータゲート回路である。なお、カウンタ4及びメモリ素子1としては電源がなくなってもデータ保持できる不揮発性のを使用する。

【0013】 次に、実施例の動作について説明する。論理積回路3はアドレスデコーダ2からの特定番地選択信号と書込信号との論理積でカウンタ4を進める。比較器6はカウンタ4のカウント値を設定器5の設定値と比較

してカウント値が設定値に達したとき論理1を出力し、論理積回路3の出力を止め、カウンタのカウントを止め、論理1を出力し続ける。

【0014】データゲート回路7は比較器6の論理1の出力によりゲートを閉じ、メモリ素子1のデータの書き込みを不能にする。この場合メモリ素子1に通常データ6.4幅分のALL1が書き込まれる。なおデータゲート回路7が閉じるまではメモリ素子に課金、残金データが書かれる。

【0015】テレホンカードの使用方法を例に説明すると、公衆電話は最低でも1回10円である。テレホンカード(ICカード)の場合、設定器5の設定値を50回としておけば途中でデータを改ざんしたとしても50回以上は書き込めなくなるので、50回以上の改ざんでの不正使用は防止できる。即ち、不正使用したとしても使用回数が50回になればデータゲート回路7が閉じる。これによりデータの書き込みが不能となると共に通常データ6.4幅分のALL1が書き込まれ、カードは使用不能となる。

【0016】なお、ソフトウェア的に本発明のハードウェアを使うことによってもっと厳重なチェックが可能となるが、その説明は複雑となるので省略する。

【0017】本発明を使用したICカードの中にゲームの情報を終了時に格納するようなソフトウェアを入れて

おけば、設定回数遊んだ後は使えなくなるサンプル品を提供することができる。

【0018】

【発明の効果】本発明は、上述のとおり構成されているので、次に記載する効果を奏する。

【0019】(1)課金、残金を扱うペイカードの不正利用を防止することができる。

【0020】(2)ゲームソフトウェアをICカードの中に入れることにより設定回数遊んだ後は使えなくなるサンプル品を提供できる。

【図面の簡単な説明】

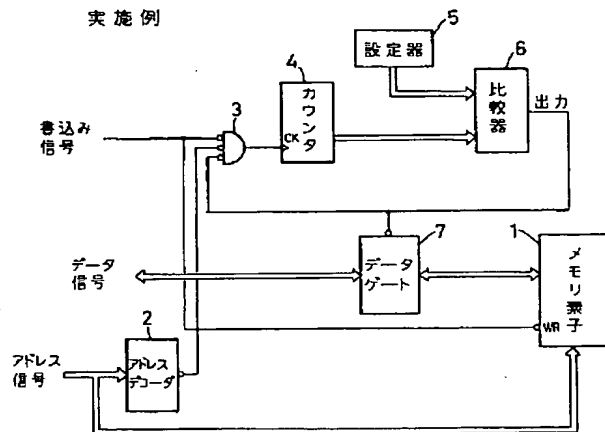
【図1】本発明の実施例を示すブロック回路図。

【図2】従来例のICカードを示すブロック回路図。

【符号の説明】

- 1…メモリ素子
- 2…アドレスデコーダ
- 3…論理積回路
- 4…カウンタ
- 5…書込回数設定器
- 6…比較器
- 7…データゲート回路
- 8…バスインタフェース
- 9…バッテリーバックアップ回路

【図1】



【図2】

